

| | | | | |
|-----------------------------------|----------------------------|--------------------------------|--------------------------------------|--|
| THOMSON DELPHION | | RESEARCH | SERVICES | INSIDE DELPHION |
| Log Out | Work Files | Saved Searches | My Account | Products |
| | | | Search: Quick/Number | Boolean Advanced |

The Delphion Integrated View

Get Now: [More choices...](#)Tools: Add to Work File: [Create new Work File](#)View: [INPADOC](#) | Jump to: [Top](#) Go to: [Derwent...](#)[Email this to a](#)Title: **JP9045706A2: SEMICONDUCTOR DEVICE**Country: **JP Japan**Kind: **A**Inventor: **TSUTSUI HIROAKI;**Assignee: **NEC CORP**[News, Profiles, Stocks and More about this company](#)Published / Filed: **1997-02-14 / 1995-07-28**Application Number: **JP1995000193705**IPC Code: **H01L 21/338; H01L 29/812; H01L 23/34;**Priority Number: **1995-07-28 JP1995000193705**

Abstract:

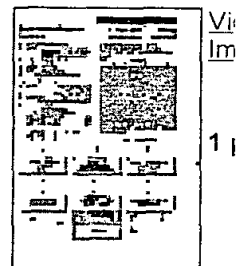
PROBLEM TO BE SOLVED: To prevent reduction in reliability due to stress, by isolating each unit cell in which an active region on a main surface of a substrate is selectively covered with finger-shaped source and drain electrodes with a finger-shaped gate electrode provided between the source and drain electrodes.

SOLUTION: In a unit cell 3, a set of finger-shaped source electrode Sf and drain electrode Df which selectively covers an active region 2 with a finger-shaped gate electrode Gf provided between these electrodes shares parallel adjacent finger-shaped source electrode Sf and drain electrode Df. The unit cells 3 are coupled to one another by a source electrode coupler part Sc of the parallel adjacent cell. The unit cells 3 are isolated by slits 7A-1, 7A-2, and so forth. By isolating each unit cell 3 of an FET chip, deformation and stress concentration in a substrate during assembling can be avoided, thus preventing reliability of the FET from being lowered.

COPYRIGHT: (C)1997,JPO

INPADOC: **None** Get Now: [Family Legal Status Report](#)

Legal Status:

Family: [Show 2 known family members](#)Other Abstract Info: **CHEMABS 126(17)232216Y CAN126(17)232216Y DERABS G97-185552 DERG97-185552**[Nominate](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45706

(43) 公開日 平成9年(1997)2月14日

| (51) Int. Cl. ⁶ | 識別記号 | 序内整理番号 | P I | 技術表示箇所 |
|----------------------------|------|---------|---------------|--------|
| H 0 1 L 21/338 | | 7376-4M | H 0 1 L 29/80 | G |
| 29/812 | | | 23/34 | A |
| 23/34 | | 7376-4M | 29/80 | U |

審査請求 有 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平7-193705

(22) 出願日 平成7年(1995)7月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 筒井 宏彰

東京都港区芝五丁目7番1号 日本電気株式会社内

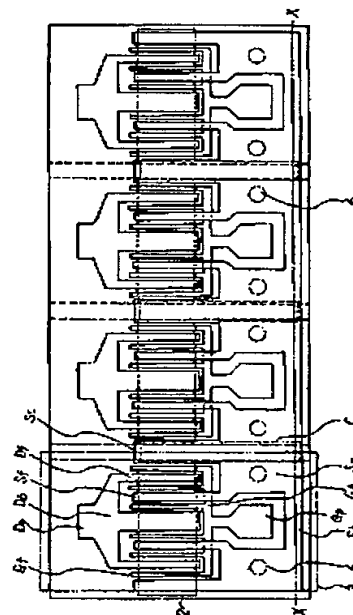
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 PHSを有する半導体装置において、信頼性を損なうことなく、組立時の応力を低減させ組立後の半導体基板の湾曲を低減する。

【解決手段】 FETチップの単位セル3の境界領域でGaAs基板を分割する。このような構造にすることで組立時に加熱した際のGaAs基板とPHSとの間の熱膨張率の差に起因するGaAs基板の湾曲を低減することができる。



(2)

特開平9-45706

1

【特許請求の範囲】

【請求項1】 半導体基板の一主表面部の能動領域を選択的に被覆するフィンガ状ゲート電極、前記フィンガ状ゲート電極を挟んで前記能動領域をそれぞれ選択的に被覆するフィンガ状ソース電極及びフィンガ状ドレイン電極の組が複数個並列に互いに隣接する前記フィンガ状ソース電極及びフィンガ状ドレイン電極を共有して配置されてなる単位セルを有し、前記単位セルが複数個並列に互いに隣接する前記単位セルのフィンガ状ソース電極を連結するソース電極連結部を有して配置され、前記半導体基板の前記一主表面と対向する裏面に形成されたブレーテッド・ヒートシンクが設けられてなる半導体装置において、前記半導体基板が前記単位セル毎に分離されていることを特徴とする半導体装置。

【請求項2】 ブレーテッド・ヒートシンクが分離部でソース電極連結部に接続している請求項1記載の半導体装置。

【請求項3】 フィンガ状ゲート電極、フィンガ状ソース電極及びフィンガ状ドレイン電極を覆って絶縁性樹脂膜が設けられている請求項1記載の半導体装置。

【請求項4】 ブレーテッド・ヒートシンクが単位セル毎に分離されている請求項3記載の半導体装置。

【請求項5】 半導体基板がGaAs基板である請求項1乃至4記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特にPHS（ブレーテッド・ヒートシンク）をFETチップに備えた電界効果トランジスタに関する。

【0002】

【従来の技術】このような電界効果トランジスタ（FET）の一例として高出力GaAs FETをあげて説明する。

【0003】図8は従来のGaAs基板の裏面の金めっき層からなるPHS（ブレーテッド・ヒートシンク）を設けた従来の高出力GaAs FETの平面図、図9は図8のX-X線断面図である。ここでは単位セル3（2点鎖線で囲って表示）を4個並列に配置してFETチップを構成している。単位セル3はゲート電極、ドレイン電極、ソース電極を有し、これらの電極は表面部にイオン注入法などにより形成された能動領域2上ではそれぞれフィンガ状ゲート電極Gf、フィンガ状ドレイン電極Df、フィンガ状ソース電極Ffをもつ櫛形の形状をしている。隣接する2つの単位セルはそれぞれのソース電極Sが連結することにより接続される。

【0004】同様な構造は単位セル1個相当分のチップを複数個集めて構成されるマルチチップデバイスでも実現できるが、この場合各チップ間の位置ずれやチップ間を接続する場合のボンディングワイヤの形状の違いなどにより信号の位相が各チップ（セル）間でずれるなど高

2

周波特性を劣化させる要因が多く、また組立工程でのコスト増加ともあわせて実用的ではない。

【0005】熱抵抗を低減するためにFETチップを構成するGaAs基板1の厚さは30～50μm程度にし、さらにチップの強度を保つため金めっきPHS5の厚さは10～30μmにする必要がある。

【0006】このようなFETチップを図10に示すように、パッケージ200に組み込む際、はんだ100の融点以上に加熱するが、FETチップのGaAs基板1とPHS5とで熱膨張係数に差があるため、冷却して固着したFETチップは熱膨張によるストレスによって湾曲され、ボンディング不良等の発生する頻度が高くなりFETの組立性を悪くする。

【0007】このような問題を改善するために特開昭63-131555号公報において図11、図12に示す構造が提案されている。すなわち、一定間隔で設けられたスリット7-1、7-2、…によって複数個のPHS5-1、5-2、…に分離されている。このような構造にすることで、パッケージに組み込む際の熱膨張率による変形が抑制され、組立性を改善することができる。

【0008】

【発明が解決しようとする課題】ところで前述したように単純にPHSがスリットにより分離されているだけでは、FETチップを図13に示すように、パッケージ200に組み込んだ際には波打った形状になる。スリットのない部分ではGaAs基板1とPHSの2層構造となり熱膨張係数の差により局所的な湾曲が生じる。しかしスリットの部分は表面の電極層が薄くて無視できるとすると、GaAs基板1だけの1層構造であり、このような熱膨張係数の差による湾曲は生じない。のみならずこの部分はPHSがなく機械的強度が弱くなっているため、機械的にチップを押さえつけようとする力や溶融したはんだによる表面張力などによりチップ全体として湾曲は生じないが、スリット部分のGaAs基板がスリットのない部分に比べて反対方向に、非常に小さな曲率半径で湾曲する。一般に薄膜の変形時の薄膜表面の応力はその曲率半径に反比例し、膜厚に比例するため、局所的にはGaAs基板に非常に大きな応力が集中する。具体的にはGaAs基板の厚さを30μm、PHSの厚さを15μmとし、スリットの幅をスリットピッチの10分の1程度とすると約500MPaの応力が生じる。

【0009】一方、GaAs基板に300MPa程度の応力が生じた場合、FET動作時の温度上昇により、すべり転移が発生し、運動することが知られている。この転移はFET動作時のイオン衝突現象による増殖ともあいまってFETの出力低下を招き、FETの信頼性を低下させるという問題がある。

【0010】従って本発明の目的は応力による信頼性の低下を防止できる半導体装置を提供することにある。

【0011】

(3)

特開平9-45706

3

【課題を解決するための手段】本発明の半導体装置は、半導体基板の一主表面部の能動領域を選択的に被覆するフィンガ状ゲート電極、前記フィンガ状ゲート電極を挟んで前記能動領域をそれぞれ選択的に被覆するフィンガ状ソース電極及びフィンガ状ドレイン電極の組が複数個並列に互いに隣接する前記フィンガ状ソース電極及びフィンガ状ドレイン電極を共有して配置されてなる単位セルを有し、前記単位セルが複数個並列に互いに隣接する前記単位セルのフィンガ状ソース電極を連結するソース電極連結部を有して配置され、前記半導体基板の前記一主表面と対向する裏面に形成されたプレーテッド・ヒートシンク（PHS）が設けられてなる半導体装置において、前記半導体基板が前記単位セル毎に分離されているというものである。

【0012】この場合、PHSを分離部でソース電極連結部に接続することができる。

【0013】また、フィンガ状ゲート電極、フィンガ状ソース電極及びフィンガ状ドレイン電極を覆って絶縁性樹脂膜が設けることができる。

【0014】更に、PHSを単位セル毎に分離することができる。

【0015】半導体基板が単位セル毎に分離されているので、半導体基板とPHSとの間の熱膨張係数の差による湾曲が少ない。

【0016】

【発明の実施の形態】図1は本発明の第1の実施例の形態を示すFETチップの平面図、図2は図1のX-X線断面図である。

【0017】本実施の形態は、GaAs基板の一主表面部の能動領域2を選択的に被覆するフィンガ状ゲート電極Gf、フィンガ状ゲート電極Gfを挟んで能動領域2をそれぞれ選択的に被覆するフィンガ状ソース電極Sf及びフィンガ状ドレイン電極Dfの組が6個並列に互いに隣接するフィンガ状ソース電極Sf及びフィンガ状ドレイン電極Dfを共有して配置されてなる単位セル3を有し、単位セル3が4個並列に互いに隣接する前記単位セルのフィンガ状ソース電極Sfを連結するソース電極連結部Scを有して配置され、GaAs基板の前述の一主表面と対向する裏面に形成されたPHSが設けられてなる半導体装置において、GaAs基板が単位セル3毎に分離されているというものである。GaAs基板は3つのスリット7A-1、7A-2、7A-3により4つの部分1-1、1-2、1-3、1-4に分離されている。

【0018】ゲート電極は、単位セル毎に6個のフィンガ状ゲート電極Gf、これらを接続するゲートバーGb及びゲートバーに接続するゲートパッドGpとで構成されている。各単位セルのゲートパッドは図示しないボンディングワイヤによりパッケージの外部ゲート端子に接続される。同様に、ドレイン電極は、単位セル毎に3個

4

のフィンガ状ドレイン電極Df、これらを接続するドレインバーDb及びドレインバーに接続するドレインパッドDpとで構成されている。各単位セルのドレインパッドは図示しないボンディングワイヤによりパッケージの外部ドレイン端子に接続される。

【0019】ソース電極は、単位セル毎に4個のフィンガ状ソース電極Sf（そのうちの1個もしくは2個は隣接する単位セルのフィンガ状ソース電極とともにソース電極連結部Scを兼ねている）、2個のソースパッドSp及びソースバーSbとを有している。

【0020】能動領域2は、イオン注入法などにより形成された絶縁領域で囲まれている。絶縁領域及び能動領域の一部の表面はSiO₂膜4で被覆されている。フィンガ状ソース電極Sf及びフィンガ状ドレイン領域DfはSiO₂膜4に設けられた図示しないコンタクト孔部で能動領域に接触している。

【0021】ソース電極連結部ScはSiO₂膜4に設けられたコンタクト孔CによりPHS5Aに接続される。又、ソースパッドSpはバイアホール6によりPHS5Aに接続される。

【0022】次に、本実施の形態の製造方法について説明する。

【0023】図3(a)～(f)は、この製造方法について説明するため工程順に配列した概略断面図である。

【0024】図3(a)に示すように、ウェーハ状のGaAs基板1aの主表面にゲート電極、ソース電極及びドレイン電極などを形成し、次に図示しないカバー絶縁膜を形成し各パッド上に開口を設けたのち、図3(b)に示すように、ガラス板8にワックス9により貼付け

る。次に、図3(c)に示すように、厚さ30～50μmのGaAs基板1bとなるまで研磨する。次に、リソグラフィ技術を利用してGaAs基板1bをエッチングして、図3(d)に示すように、幅約100μmのスリット7A-1、7A-2、7A-3（図3(d)には代表として7A-1のみを図示）バイアホール及びスクライプ溝10を形成する。次に、Ti膜及びAu膜をそれぞれスパッタ法により形成してめっき用給電膜を設けた後、図3(d)に示すように、スクライプ溝10をフォトリソレジスト膜11で埋めたのちAuめっきを行ない厚さ約50μmのPHS5Aを形成する。フォトリソレジスト膜11を除去し、スクライプ溝部のめっき用給電膜をミリングし、ワックス9を除去することにより3μm×1μm角程度のFETチップ12を得る。13はこの個片化処理による屑である。

【0025】このようにして、FETチップを単位セル毎に分割することができるが、分割時はウェーハ状態でガラス基板に貼付けられているし、個片化後はソース電極、カバー膜及びPHSで一体化されているので、単位セル間の距離は殆んど変動せず、マルチチップデバイスの前述した欠点は有していない。

(4)

特開平9-45706

5

【0026】図4に示されるようにこのFETチップは、はんだ100でパッケージ200内に固着して組み込まれるが、その時の加熱によってGaAs基板1とPHS5Aの2層構造を成す部分では従来例と同様に熱膨張係数の差により湾曲する。しかしながらGaAs基板が分割されているためGaAs基板のない部分では、表面の電極層（Sp等、厚さは1μm前後）が薄くて無視できるとすると、PHSのみの1層構造となり、このような熱膨張係数の差による湾曲は生じない。

【0027】さらにこの部分はGaAs基板がなく機械的強度が弱くなっているため、機械的にチップを押さえつけようとする力や溶融したはんだによる表面張力などによりGaAs基板がある部分に比べて反対方向に、非常に小さな局率半径で湾曲する。すなわち局所的にはPHSに非常に大きな応力が集中する。すなわち、応力集中はPHSに起こり、GaAs基板に応力集中は生じない。従って応力に起因するすべり転移の発生、増殖は抑制され、信頼性の低下は防止される。

【0028】図5は本発明の第2の実施の形態について説明するためのFETチップの平面図、図6は図5のX-X線断面図である。FETチップの電極パターンは第1の実施例の形態と同様である。

【0029】ここでGaAs基板は選択金めっきにより単位セルの境界線上のスリット7A-1～7A-3により4つの部分1-1～1-4に分割されている。同様にPHSも5-1～5-4の4つに分割されている。このため表面には強度の補強のためポリイミドなどの絶縁性樹脂膜14を設けている。

【0030】絶縁性樹脂膜14およびその下にあるカバー膜（図示しない）にはボンディング用の開口15が設けられている。ソース電極、カバー膜及び絶縁性樹脂膜とにより、FETチップは一体化されている。

【0031】本実施の形態の製造方法は、ゲート電極等を形成し、絶縁性樹脂膜14を形成し、開口15を形成したのちガラス板に貼付け、裏面研磨を行ないバイアホール6のための開口を行ない、PHS5-1～5-4を形成するとともにこの開口部にAu膜等を形成し、PHS5-1～5-4をマスクとしてエッチングを行ないスリット7A-1～7A-3及びスクライプ溝を形成することによりFETチップへの個片化を行なう。

【0032】図7に示されるようにFETチップは、はんだ100でパッケージ200内に固着して組み込まれるが、その時の加熱によってGaAs基板とPHSの2層構造を成す部分では従来例と同様に熱膨張係数の差により湾曲する。しかしながらGaAs基板とPHSが分割されているためGaAs基板とPHS層のない部分では表面の電極層（約1μm）が薄くて無視できるとすると、絶縁性樹脂膜14のみの構造となり、このような熱膨張係数の差により湾曲は生じない。

【0033】さらにこの部分はGaAs基板とPHSが

6

なく機械的強度が弱くなっているため、機械的にチップを押さえつけようとする力や溶融したはんだによる表面張力などによりGaAs基板がある部分に比べて反対方向に、非常に小さな曲率半径で湾曲する。すなわち局所的には絶縁性の樹脂膜に非常に大きな応力が集中する。すなわち、応力集中は絶縁性樹脂膜に起こり、GaAs基板に応力集中に生じない。従って応力に起因するすべり転移の発生、増殖は抑制され、信頼性の低下は防止される。

【0034】第1の実施の形態ではソース電極とPHS層を接続するバイアホール埋め込みと同時にPHSを形成するような場合に、金めっき層を厚く付けるか、あるいはバースめっきなどの手法により埋め込み性を良くするとGaAs基板の分割部分をPHS層がほとんど埋め込んでしまうことが想定され、その時はPHS層は機械的強度が非常に弱いとはいえず、応力はGaAs側にも分散する可能性がある。しかし本第2の実施の形態ではGaAs基板とPHSとがともに分割されているので、そのような問題は生じない。

【0035】なお、絶縁性樹脂膜はポリイミドに限らず、樹脂封止半導体装置の封止材として使用されているエポキシ樹脂などを使用することができる。

【0036】また、本発明では半導体基板もGaAs基板に限らず、InPなどの化合物半導体などを使用することができる。

【0037】

【発明の効果】以上説明したように、本発明はFETチップを単位セル毎に分離しているため組立時の半導体基板の変形及び応力集中を避けてFETの信頼性の低下を防ぐことができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すFETチップの平面図である。

【図2】図1のX-X線断面図である。

【図3】第1の実施の形態の製造方法について説明するための(a)～(f)に分図して示す断面図である。

【図4】第1の実施の形態について説明するための断面図である。

【図5】本発明の第2の実施の形態を示すFETチップの平面図である。

【図6】図5のX-X線断面図である。

【図7】第2の実施の形態について説明するための断面図である。

【図8】第1の従来例を示すFETチップの平面図である。

【図9】図8のX-X線断面図である。

【図10】第1の従来例について説明するための断面図である。

【図11】第2の従来例を示すFETチップの平面図である。

50

(5)

特開平9-45706

7

8

【図12】図11のX-X線断面図である。

【図13】第2の従来例について説明するための断面図である。

【符号の説明】

1. 1a, 1b, 1-1, 1-2, 1-3, 1-4

GaAs基板

2 能動領域

3 単位セル

4 SiO₂膜

5, 5A, 5-1, 5-2, 5-3, 5-4 PHS

(プレーテッド・ヒートシンク)

6 バイアホール

7-1, 7A-1, 7-2, 7A-2, 7-3, 7A-

3 スリット

8 ガラス基板

9 ワックス

10 スクライブ溝

11 フォトリソist膜

* 12 FETチップ

13 肩

14 絶縁性樹脂膜

15 開口

100 はんだ

200 パッケージ

C 開口

Db ドレインバー

Df フィンガ状ドレイン電極

Dp ドレインパッド

Gb ゲートバー

Gf フィンガ状ゲート電極

Gp ゲートパッド

Sb ソースバー

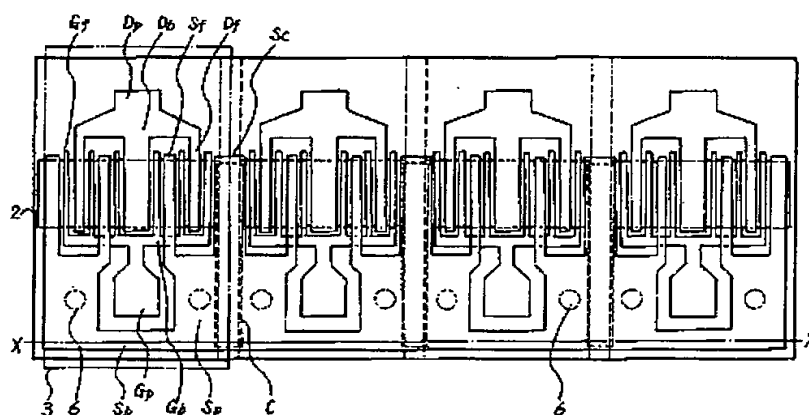
Sc ソース電極連結部

Sf フィンガ状ソース電極

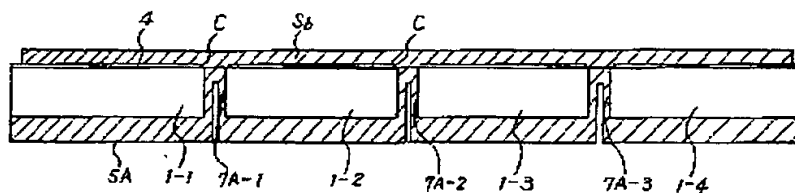
Sp ソースパッド

*

【図1】



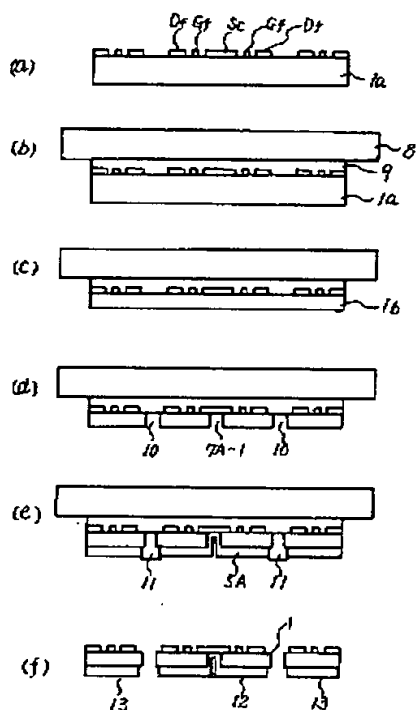
【図2】



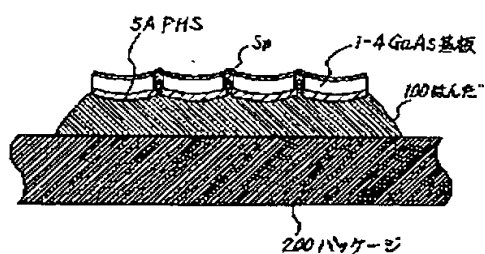
(6)

特開平9-45706

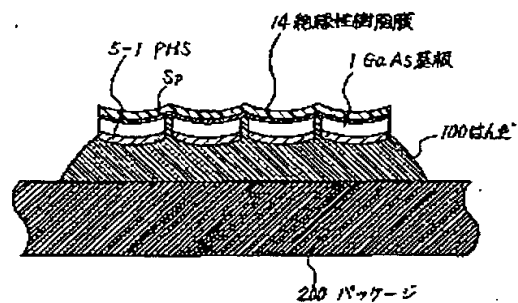
【図3】



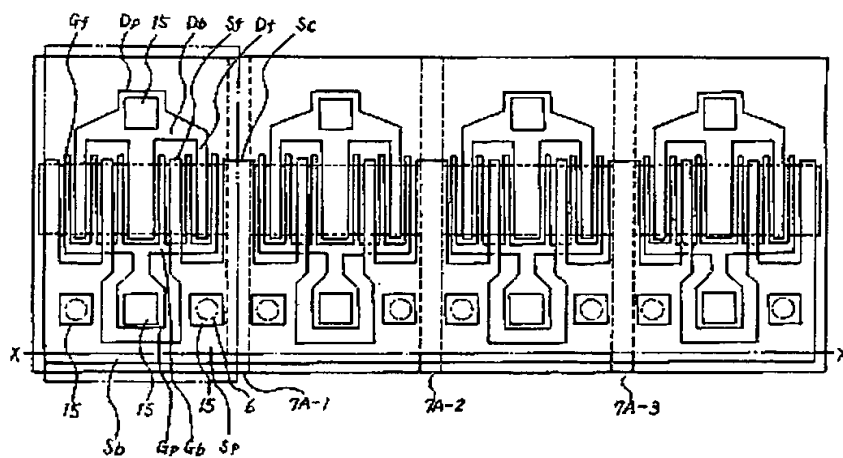
【図4】



【図7】



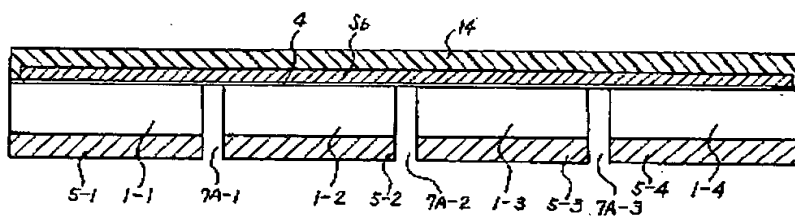
【図5】



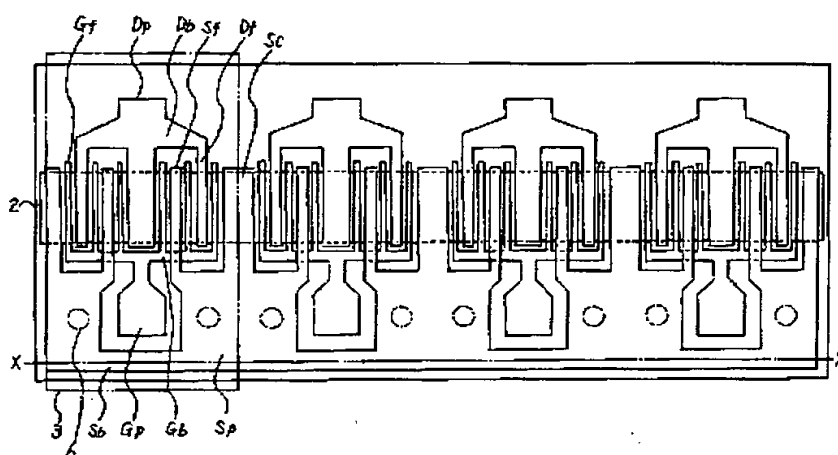
(7)

特開平9-45706

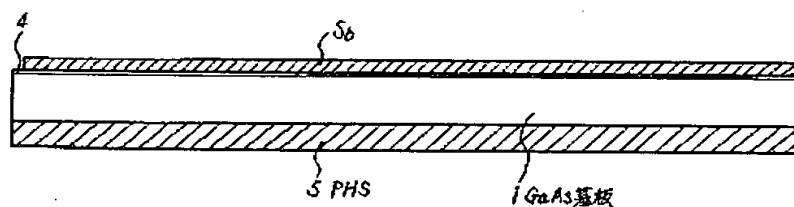
【図6】



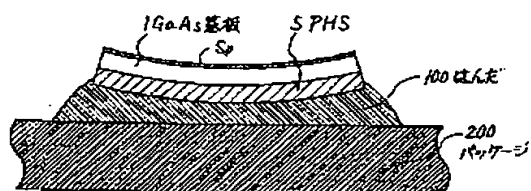
【図8】



【図9】



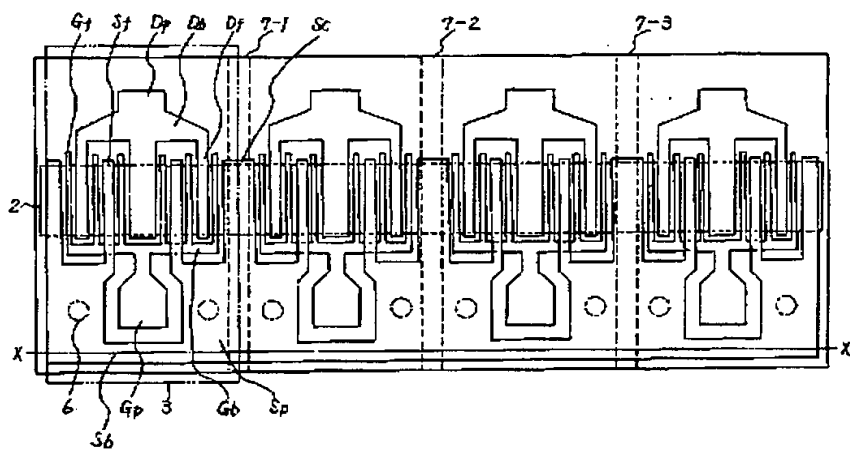
【図10】



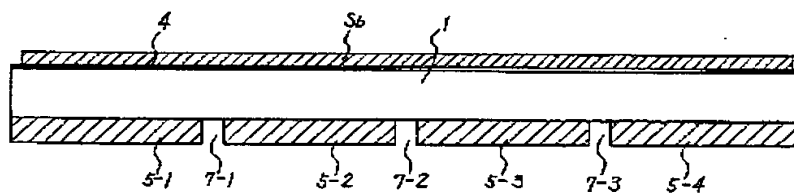
(8)

特開平9-45706

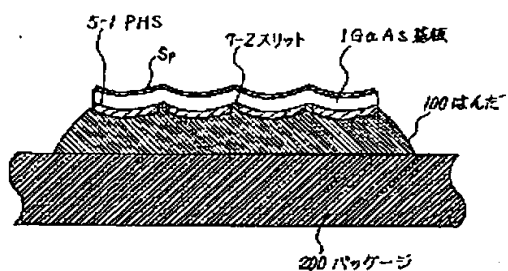
【図11】



【図12】



【図13】



1. JP,09-045706,A(1997)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the field-effect transistor which equipped the FET chip with PHS (plated heat sink) about a semiconductor device.

[0002]

[Description of the Prior Art] High power GaAsFET is raised and explained as an example of such a field-effect transistor (FET).

[0003] The plan of the conventional high power GaAsFET which formed PHS (plated heat sink) with which drawing 8 consists of a gilding layer of the rear face of the conventional GaAs substrate, and drawing 9 are the X-X line cross sections of drawing 8. Here, a unit cell 3 (it encloses and displays by the two-dot chain line) is arranged to four-piece parallel, and the FET chip is constituted. A unit cell 3 has a gate electrode, a drain electrode, and a source electrode, and these electrodes are carrying out the configuration of Kushigata which has the finger-like gate electrode Gf, the finger-like drain electrode Df, and the finger-like source electrode Ff, respectively on the active region 2 formed in the surface section by ion-implantation etc. Two adjoining unit cells are connected when each source electrode S connects.

[0004] Although the multichip device constituted by collecting more than one can also realize the chip of one unit cell, the same structure has many factors which degrade RF properties -- the phase of a signal shifts between each chip (cell) by the difference in the configuration of the bonding wire in the case of connecting between the position gaps and chips during each chip in this case etc. -- and is not practical in accordance with the increase in cost like an erector, either. [of factors]

[0005] In order to reduce thermal resistance, thickness of the GaAs substrate 1 which constitutes an FET chip is set to about 30-50 micrometers, and in order to maintain the intensity of a chip further, it is necessary to set thickness of gilding PHS5 to 10-30 micrometers.

[0006] Although it heats beyond the melting point of solder 100 in case such an FET chip is built into a package 200, as shown in drawing 10, since a difference is in a coefficient of thermal expansion with the GaAs substrate 1 and PHS5 of an FET chip, it curves by the stress by thermal expansion, the frequency generated [bonding / poor] becomes high, and the FET chip which cooled and fixed worsens assembly nature of FET.

[0007] In order to improve such a problem, the structure shown in drawing 11 and drawing 12 in JP,63-131555,A is proposed. That is, the slit 7-1 prepared at the fixed interval, 7-2, and -- separate into two or more PHS 5-1, 5-2, and --. By making it such structure, deformation by the coefficient of thermal expansion at the time of including in a package is suppressed, and assembly nature can be improved.

[0008]

[Problem(s) to be Solved by the Invention] By the way, it becomes the configuration which lenticulated when an FET chip is built into a package 200 only by PHS being simply separated by the slit as shown in drawing 13, as mentioned above. In a portion without a slit, it becomes the GaAs substrate 1 and the two-layer structure of PHS, and a local curve arises according to the difference of a coefficient of thermal expansion. However, supposing the portion of a slit has a surface thin electrode layer and it can ignore, it will be one layer structure of only the GaAs substrate 1, and the curve by the difference of such a coefficient of thermal expansion will not be produced. Since it does not come to accept it, this portion does not have PHS and the mechanical strength is weak, although a curve is produced as the whole chip neither with the force which makes a chip the method of pressing down mechanically, nor the surface tension by the fused solder, the GaAs substrate of a slit portion curves with very small radius of curvature to opposite

direction compared with a portion without a slit. Generally, since the stress on the front face of a thin film at the time of deformation of a thin film is proportional to thickness in inverse proportion to the radius of curvature, very big stress concentrates it on a GaAs substrate locally. If thickness of 30 micrometers and PHS is specifically set to 15 micrometers for the thickness of a GaAs substrate and width of face of a slit is made about [of a slit pitch] into 1/10, the stress of about 500 MPa(s) will arise.

[0009] On the other hand, when the stress of about 300 MPas arises in a GaAs substrate, it is known that skid transition will occur and exercise by the temperature rise at the time of FET operation. This transition also suits proliferation by the ion collision phenomenon at the time of FET operation, and it waits for it, it causes the loss of power of FET, and has the problem of reducing the reliability of FET.

[0010] Therefore, the purpose of this invention is to offer the semiconductor device which can prevent the fall of the reliability by stress.

[0011]

[Means for Solving the Problem] The finger-like gate electrode with which the semiconductor device of this invention covers alternatively the active region of the 1 main surface section of a semiconductor substrate, It has the unit cell which shares the aforementioned finger-like source electrode and finger-like drain electrode by which two or more groups of the finger-like source electrode which covers the aforementioned active region alternatively on both sides of the aforementioned finger-like gate electrode, respectively, and a finger-like drain electrode adjoin parallel mutually, and it comes to arrange. The aforementioned unit cell has the source electrode connection section which connects the finger-like source electrode of the aforementioned unit cell which adjoin parallel mutually, and is arranged. In the semiconductor device with which it comes to prepare the plated heat sink (PHS) formed in the aforementioned 1 main front face of the aforementioned semiconductor substrate, and the rear face which counters, the aforementioned semiconductor substrate is separated for every aforementioned unit cell.

[0012] In this case, PHS is connectable with the source electrode connection section in the separation section.

[0013] Moreover, a finger-like gate electrode, a finger-like source electrode, and a finger-like drain electrode can be covered, and an insulating resin film can prepare.

[0014] Furthermore, PHS is separable for every unit cell.

[0015] Since the semiconductor substrate is separated for every unit cell, there are few curves by the difference of the coefficient of thermal expansion between a semiconductor substrate and PHS.

[0016]

[Embodiments of the Invention] The plan of an FET chip in which drawing 1 shows the form of the 1st example of this invention, and drawing 2 are the X-X line cross sections of drawing 1.

[0017] The form of this operation The active region 2 of the 1 main surface section of a GaAs substrate. The finger-like source electrode Sf by which the group of the finger-like source electrode Sf which covers an active region 2 alternatively on both sides of the finger-like gate electrode Gf covered alternatively and the finger-like gate electrode Gf, respectively, and the finger-like drain electrode Df adjoins six-piece parallel mutually And it has the unit cell 3 which shares the finger-like drain electrode Df and it comes to arrange. A unit cell 3 has the source electrode connection section Sc which connects the finger-like source electrode Sf of the aforementioned unit cell which adjoins four-piece parallel mutually, and is arranged. In the semiconductor device with which it comes to prepare PHS formed in the above-mentioned 1 main front face of a GaAs substrate, and the rear face which counters, the GaAs substrate is separated every unit cell 3. The GaAs substrate is divided into four portions 1-1, 1-2, 1-3, and 1-4 by three slit 7A-1, 7A-2, and 7A-3.

[0018] The gate electrode consists of gate pads Gp linked to the gate bar Gb and gate bar which connect six finger-like gate electrodes Gf and these for every unit cell. The gate pad of each unit cell is connected to the external-gate terminal of a package by the bonding wire which is not illustrated. Similarly, the drain electrode consists of drain pads Dp linked to the drain bar Db and drain bar which connect three finger-like drain electrodes Df and these for every unit cell. The drain pad of each unit cell is connected to the external drain terminal of a package by the bonding wire which is not illustrated.

[0019] The source electrode has four finger-like source electrodes Sf (1 [of pieces of it] and two pieces serve as the source electrode connection section Sc with the finger-like source electrode of the adjoining unit cell), two source pads Sp, and the source bar Sb for every unit cell.

[0020] The active region 2 is surrounded by the insulating region formed by ion-implantation etc. Some front faces of an insulating region and an active region are SiO₂. It is covered with the film 4. The finger-like source electrode Sf and the finger-like drain field Df are SiO₂. It is in contact with the active region by the contact pore which was prepared in the film 4 and which is not illustrated.

[0021] the source electrode connection section Sc -- SiO₂ the contact prepared in the film -- a hole -- C connects with PHS5A. Moreover, the source pad Sp is connected to PHS5A by the Bahia hall 6.

[0022] Next, the manufacture method of the gestalt this operation is explained.

[0023] Drawing 3 (a) - (f) is the outline cross section arranged in order of the process in order to explain this manufacture method.

[0024] As shown in drawing 3 (a), after forming a gate electrode, a source electrode, a drain electrode, etc. in the main front face of wafer-like GaAs substrate 1a, forming the covering insulator layer which next is not illustrated and preparing opening on each pad, as shown in drawing 3 (b), it sticks on a glass plate 8 with a wax 9. Next, it grinds until it is set to with a thickness of 30-50 micrometers GaAs substrate 1b, as shown in drawing 3 (c). Next, as it *****s and GaAs substrate 1b is shown in drawing 3 (d) using lithography technology, the slit 7A-1, 7A-2, and 7A-3 (to drawing 3 (d), only 7A-1 is illustrated as representative) Bahia hall of 100 micrometers of **** and the scribe slot 10 are formed. Next, after forming Ti film and Au film by the spatter, respectively, preparing the electric supply film for plating and filling the scribe slot 10 with the photoresist film 11 as shown in drawing 3 (d), Au plating is performed and with a thickness of about 50 micrometers PHS5A is formed. The photoresist film 11 is removed, the electric supply film for plating of a scribe slot is milled, and the FET chip 12 about a 3 micrometerx1-micrometer angle is obtained by removing a wax 9. 13 is waste by this piece-ized processing of an individual.

[0025] Thus, although an FET chip can be divided for every unit cell, since it is stuck on the glass substrate in the state of the wafer at the time of division and after piece[of an individual]-izing is unified with a source electrode, a covering film, and PHS, the distance between unit cells does not carry out ***** change, and the fault which the multichip device mentioned above does not have.

[0026] As shown in drawing 4 , although this FET chip is fixed and incorporated in a package 200 with solder 100, it curves according to the difference of a coefficient of thermal expansion like the conventional example in the portion which constitutes the two-layer structure of the GaAs substrate 1 and PHS5A by heating at that time. However, in the portion which does not have a GaAs substrate since the GaAs substrate is divided, supposing a surface electrode layer (thickness, such as Sp before or after 1 micrometer) is thin and it can ignore, it will become one layer structure of only PHS and the curve by the difference of such a coefficient of thermal expansion will not be produced.

[0027] Furthermore, since there is no GaAs substrate and the mechanical strength is weak, this portion curves in the very small rate radius of an office to opposite direction compared with the portion which has a GaAs substrate with the force which makes a chip the method of pressing down mechanically, the surface tension by the fused solder, etc. That is, very big stress concentrates on PHS locally. That is, stress concentration happens to PHS and stress concentration is not produced in a GaAs substrate. Therefore, generating of the skid transition resulting from stress and multiplication are suppressed, and the fall of reliability is prevented.

[0028] The plan of the FET chip for drawing 5 explaining the gestalt of operation of the 2nd of this invention and drawing 6 are the X-X line cross sections of drawing 5 . The electrode pattern of an FET chip is the same as that of the gestalt of the 1st example.

[0029] The GaAs substrate is divided into four portions 1-1 to 1-4 by selection gilding by slit 7A-1-7A-3 on the boundary line of a unit cell here. It is similarly divided into four of PHS 5-1 to 5-4. For this reason, the insulating resin films 14, such as a polyimide, are formed in the front face for strong reinforcement.

[0030] The opening 15 for bondings is formed in the covering film (not shown) in the insulating resin film 14 and the bottom of it. The FET chip is unified with the source electrode, the covering film, and the insulating membranous resin.

[0031] The manufacture method of the form this operation forms a gate electrode etc., and forms the insulating resin film 14. After forming opening 15, stick on a glass plate, and perform rear-face polish, and opening for the Bahia hall 6 is performed. Piece-ization of an individual to an FET chip is performed by forming Au film etc. in this opening, while forming PHS 5-1 to 5-4, etching by using PHS 5-1 to 5-4 as a

mask, and forming slit 7A-1-7A-3 and a scribe slot.

[0032] As shown in drawing 7, although an FET chip is fixed and incorporated in a package 200 with solder 100, it curves according to the difference of a coefficient of thermal expansion like the conventional example in the portion which constitutes the two-layer structure of a GaAs substrate and PHS by heating at that time. However, in a portion without a GaAs substrate and a PHS layer, since a GaAs substrate and PHS are divided, supposing a surface electrode layer (about 1 micrometer) is thin and it can ignore, it will become the structure of only the insulating resin film 14, and a curve will not arise according to the difference of such a coefficient of thermal expansion.

[0033] Furthermore, since there are not a GaAs substrate and PHS and the mechanical strength is weak, this portion curves with very small radius of curvature to opposite direction compared with the portion which has a GaAs substrate with the force which makes a chip the method of pressing down mechanically, the surface tension by the fused solder, etc. That is, very big stress concentrates on an insulating resin film locally. That is, stress concentration happens to an insulating resin film, and is not produced in a GaAs substrate at stress concentration. Therefore, generating of the skid transition resulting from stress and multiplication are suppressed, and the fall of reliability is prevented.

[0034] when forming the Bahia hall embedding, simultaneously PHS which connect a PHS layer with a source electrode with the form of the 1st operation, if a gilding layer is attached thickly, or it embeds by technique, such as pulse plating, and a sex is improved, it is assumed that a PHS layer almost embeds the division portion of a GaAs substrate, and a mechanical strength may necessarily boil a PHS layer then, and it may not be able to say that it is weak, but stress may be distributed also to the GaAs However, with neither of form of operation of **** 2, since a GaAs substrate and PHS are divided, such a problem is produced.

[0035] In addition, an insulating resin film can use the epoxy resin currently used as a sealing agent of not only a polyimide but a resin-seal semiconductor device.

[0036] Moreover, in this invention, a semiconductor substrate can also use not only a GaAs substrate but compound semiconductors, such as InP, etc.

[0037]

[Effect of the Invention] As explained above, since this invention has separated the FET chip for every unit cell, it is effective in the ability to avoid deformation of the semiconductor substrate at the time of assembly, and stress concentration, and prevent the fall of the reliability of FET.

[Translation done.]